

[↑ Family list](#)

1 family member for:

JP7312425

Derived from 1 application.

**1 THIN FILM TRANSISTOR, TAPER ETCHING METHOD AND
MULTILAYERED FILM FORMING METHOD RELATIVE TO THE SAME,
AND IMAGE DISPLAY EQUIPMENT**Publication info: **JP7312425 A** - 1995-11-28

Data supplied from the **esp@cenet** database - Worldwide

DIALOG(R) File 347: JAPIO

(c) 2006 JPO & JAPIO. All rts. reserv.

05019825 **Image available**

THIN FILM TRANSISTOR, TAPER ETCHING METHOD AND
MULTILAYERED FILM FORMING
METHOD RELATIVE TO THE SAME, AND IMAGE DISPLAY EQUIPMENT

PUB. NO.: **07-312425** [JP 7312425 A]

PUBLISHED: November 28, 1995 (19951128)

INVENTOR(s): TAKANO TAKAO
YORITOMI YOSHIFUMI
TODOROKI SATORU
SAITO YUTAKA

APPLICANT(s): HITACHI LTD [000510] (A Japanese Company or Corporation), JP
(Japan)

APPL. NO.: 06-103131 [JP 94103131]

FILED: May 18, 1994 (19940518)

INTL CLASS: [6] H01L-029/786; H01L-021/336; G02F-001/136

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components); 29.2
(PRECISION INSTRUMENTS -- Optical Equipment); 36.1 (LABOR SAVING
DEVICES -- Industrial Robots)

JAPIO KEYWORD: R004 (PLASMA); R011 (LIQUID CRYSTALS); R096
(ELECTRONIC MATERIALS -- Glass Conductors)

ABSTRACT

PURPOSE: To improve coverage of each film, prevent irregularity in a rubbing process, and exclude disconnection and short-circuit in each film, by working side walls of all constituting films in taper types, and laminating the films.

CONSTITUTION: When constituting films are worked by using a dry etching method, a film 42 used in the upper layer part where the etching rate becomes high is in an overetching state, while a film 41 used in the lower layer part where the etching rate becomes small is etched. In the film 42 used in the upper layer part, etchback progresses in the whole part, during the etching of the film 41 used in the lower layer part. As the result, the side wall of the film 42 used in the upper layer part constitute a taper type etching form. The thickness of each film of a multilayered film constituting a TFT is adjusted and etching is performed, so that a taper form whose side wall has a desired taper angle is obtained. Thereby coverage of each film is improved, and disconnection and short-circuit in each film can be excluded.

特開平7-312425

(43)公開日 平成7年(1995)11月28日

(51) Int. Cl. 6

識別記号

F I

H01L 29/786

21/336

G02F 1/136

500

9056-4M

H01L 29/78

311

Y

審査請求 未請求 請求項の数 9 O L (全9頁)

(21)出願番号 特願平6-103131

(22)出願日 平成6年(1994)5月18日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 高野 隆男

神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所生産技術研究所内

(72)発明者 賴富 美文

神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所生産技術研究所内

(72)発明者 藤 哲

神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所生産技術研究所内

(74)代理人 弁理士 高橋 明夫 (外1名)

最終頁に統く

(54)【発明の名称】薄膜トランジスタ、それに関連するテーパエッチング方法および多層膜形成方法ならびに画像表示装置

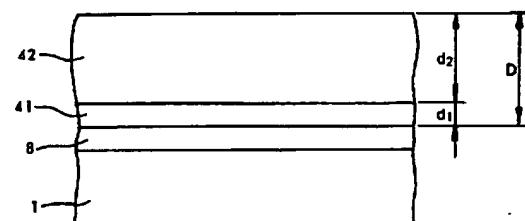
(57)【要約】

【目的】 TFTを構成する多層膜に、テーパエッチングを施すにあたり、各々の膜の側壁を所望のテーパ角を有する理想的なテーパ形状に加工し、それにより各膜のカバレッジ性を向上させ、ラビング工程でのむらを防止し、各膜で生ずる断線や短絡不良をなくすようとする。

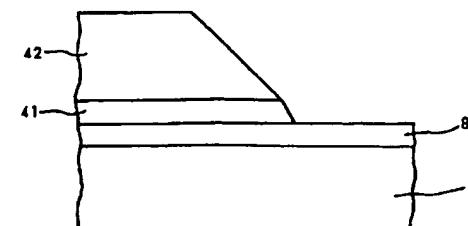
【構成】 TFTを構成する各膜をエッチング速度の異なる多層構造とし、最下層部に用いる上層膜よりエッチング速度が小なる膜の膜厚を、ドライエッチング法を用いる場合は全膜厚の5~20%の範囲とし、ウエットエッチング法を用いる場合は、50~90%の範囲として、多層膜の側壁をテーパ状に加工する。

図 3

(a)



(b)



【特許請求の範囲】

【請求項1】 ゲート電極膜、ゲート絶縁膜、半導体膜、ソース・ドレイン電極膜、表示画素電極膜、チャネルストップ膜の各薄膜および薄膜トランジスタを被覆する保護膜によって構成される薄膜トランジスタにおいて、それら構成する全ての膜の側壁をテーパ状に加工し、積層したことを特徴とする薄膜トランジスタ。

【請求項2】 ゲート電極膜、ゲート絶縁膜、半導体膜、ソース・ドレイン電極膜、表示画素電極膜、チャネルストップ膜の各薄膜および薄膜トランジスタを被覆する保護膜によって構成される薄膜トランジスタにおいて、それら構成する全ての膜の側壁をテーパ状に加工することを特徴とするテーパエッチング方法。

【請求項3】 薄膜トランジスタを構成する一つの膜が、エッチング速度の異なる少なくとも2層以上の多層膜であって、下層部ほどエッチング速度が小なる膜で上層部ほどエッチング速度が大なる膜であるときに、それをドライエッチングでエッチングするテーパエッチング方法において、最下層部に用いるエッチング速度が小なる膜を前記多層膜の膜厚全体に対して5～20%の割合としたことを特徴とするテーパエッチング方法。

【請求項4】 薄膜トランジスタを構成する一つの膜が、エッチング速度の異なる少なくとも2層以上の多層膜であって、下層部ほどエッチング速度が小なる膜で上層部ほどエッチング速度が大なる膜であるときに、それをウェットエッチングでエッチングするテーパエッチング方法において、最下層部に用いるエッチング速度が小なる膜を前記多層膜の膜厚全体に対して50～90%の割合としたことを特徴とするテーパエッチング方法。

【請求項5】 請求項3または請求項4記載のテーパエッチング方法によって、前記多層膜が10～70度の範囲のテーパ角をなす側壁を傾斜状に加工したことを特徴とする薄膜トランジスタ。

【請求項6】 薄膜トランジスタを構成するゲート電極膜、ゲート絶縁膜、半導体膜、ソース・ドレイン電極膜、表示画素電極膜、チャネルストップ膜の各薄膜および薄膜トランジスタを被覆する保護膜を多層膜として、その多層膜はエッチング速度の異なる少なくとも2層以上とし、下層部ほどエッチング速度が小なる膜で上層部ほどエッチング速度が大なる膜に形成する多層膜形成方法において、同一の成膜室で成膜条件を変化させて、積層し形成したことを特徴とする多層膜形成方法。

【請求項7】 薄膜トランジスタを構成するゲート電極膜、ゲート絶縁膜、半導体膜、ソース・ドレイン電極膜、表示画素電極膜、チャネルストップ膜の各薄膜および薄膜トランジスタを被覆する保護膜を多層膜として、その多層膜はエッチング速度の異なる少なくとも2層以上とし、下層部ほどエッチング速度が小なる膜で上層部ほどエッチング速度が大なる膜に形成する多層膜形成方法において、少なくとも2つ以上の成膜室を有する装置

10

20

30

40

50

を用いて成膜条件を変化させて、積層し形成したことを特徴とする多層膜形成方法。

【請求項8】 請求項3または請求項4記載のテーパエッチング方法を含むことを特徴とする請求項6および請求項7記載のいずれかの多層膜形成方法

【請求項9】 請求項3または請求項4記載のテーパエッチング方法により形成された薄膜または保護膜によって構成された薄膜トランジスタを同一絶縁性基板上に複数個マトリクス状に配置し、各々の前記薄膜トランジスタのゲート電極同士を接続してゲート配線とし、ドレイン電極同士を接続してドレイン配線とし、各ソース電極を各表示画素電極に接続して、薄膜トランジスタマトリクス回路基板を構成し、その薄膜トランジスタマトリクス回路基板に設けられた表示画素電極に対向するように対向電極を設け、しかも前記表示画素電極と前記対向電極との間隙に液晶を充填、密閉して表示セルを構成したことを特徴とする画像表示装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、薄膜トランジスタ(Tin-Film Transistor、以下、「TFT」と記す)、それに関連するテーパエッチング方法および多層膜形成方法ならびに画像表示装置に係り、特に、各薄膜を所望のテーパ角のテーパ形状にエッチング加工するTFTとその形成方法、それを用いて、TFTマトリクス回路基板を構成して、液晶表示の画像装置に利用される技術に関する。

【0002】

【従来の技術】 最初に、従来技術に係る逆スタガ型TFTの構造について、図6を用いて説明する。図6は、逆スタガ型TFTの一般的な断面構造図である。

【0003】 ガラス等の絶縁性基板上にスイッチング素子としてのTFTをマトリクス状に多数個形成したTFTマトリクス回路基板は、高画質液晶画像表示装置に組み込まれている。上記TFT(ここでは非晶質シリコン(amorphous Silicon、以下a-Siと記す)を半導体膜として用いたものを示す)のなかで、逆スタガ型TFTと言われる種類のTFTがある。

【0004】 この逆スタガ型TFTは、図6に示される構造を備え、絶縁性基板1は、ガラス等で、ゲート電極2は、Cr膜で、ゲート絶縁膜3は、SiN膜で、半導体膜4は、a-Si膜で、半導体膜5は、リンを添加したa-Si膜で、ドレイン電極6は、Al膜で、ソース電極7は、Al膜で、ITO膜8は、表示画素電極で、保護膜9は、SiN膜で、それぞれ構成されている。

【0005】 このTFTを複数個マトリクス状に配置して、前記ゲート電極2の行同士を接続してゲート配線(図示しない)とし、また前記ドレイン電極6の列同士を接続してドレイン配線(図示しない)とし、各ソース電極7を各表示画素電極8に接続することによって、TFT

マトリクス回路基板が完成する。

【0006】このTFTマトリクス回路基板の作製において、配線交差部での短絡防止を目的とした層間絶縁膜(ゲート絶縁膜)の膜厚を増大させ、また、数多くあるエッチング加工面段差を乗り越える配線の抵抗増加および断線防止を目的とした配線膜厚の増大をさせることによって、TFTおよびTFTマトリクス回路基板の歩留りを確保していた。

【0007】しかしながら、ゲート絶縁膜3、ソース電極7、ドレイン電極6およびドレイン配線(図示しない)、保護膜9の膜厚が増大することによりTFT素子の総膜厚が増加するため、各膜の成膜時間およびエッチング加工時間等を要することになり、量産時におけるスループットの低下を招いていた。また、各膜の膜厚の増大によって、膜の側壁でのカバレッジ性(膜の被覆性能)が低下し、短絡や断線が発生するという問題があった。

【0008】したがって、膜厚を増加しなくとも、短絡や断線が発生しないように、TFTを構成する各々の膜のエッチング加工時に、側壁をテーパ状に形成し、カバレッジ性を向上させることが重要であり、このためにテーパ状に加工を施すために様々な手法が考えられている。

【0009】例えば、その一つとして、特開平3-36769号公報に記載の技術のごとく、ゲート絶縁膜や保護膜に用いるSiN膜の膜質を膜の深さ方向につれてエッチング速度が小さくなるような多層膜構成とし、その後のドライエッチング工程で、それらの多層膜をテーパ状に加工していた。

【0010】また、図9を用いてTFTを構成する膜をテーパ状に加工する他の技術について説明しよう。図9は、従来技術に係る多層構造によるTFTの断面図である。

【0011】ウエットエッチングの場合においては、電極やバスラインに用いる金属膜(例えば、AlやCr膜)を形成する場合に、図9(a)に示すように選択エッチング性のある2種以上の異種金属50、51を用いた多層構造とする。

【0012】そして、レジスト52をマスクにして、各々の膜51、50のエッチング後に上層膜51の再エッチング(後退エッチング)をおこなって、図9(b)のように、上層膜51の側壁をテーパ状に加工していた。

【0013】このような技術は、例えば、特開平4-155315号公報に開示されている。

【0014】

【発明が解決しようとする課題】上記従来技術は、TFTを構成する各膜のカバレッジ性を向上させるために、各膜の側壁をテーパ状に加工する技術について述べている。しかしながら、上記特開平3-36769号公報に記載の従来技術において、一つのSiN膜をテーパ状に

加工する場合、膜質(エッチング速度)を変化させた多層膜の構成における膜厚とテーパ角の関係については何等配慮がなされていないという問題点がある。

【0015】以下、それを図7を用いて説明しよう。図7は、多層膜の膜厚とエッチング時のテーパ形状の関係を比較して示した多層膜の断面図である。

【0016】下層部に用いる膜41(エッチング速度が小なる膜)の膜厚(d1)と下層部に比較してエッチング速度の大きい上層部に用いる膜42(エッチング速度が大なる膜)の膜厚(d2)との関係は、d1>d2であるとする。

【0017】しかるべきには、このような構成の膜厚D(=d1+d2)のSiN膜をホトレジスト等をマスクとしてドライエッチングすると、図7(b)のようなエッチング形状となる。エッチング速度が大なる上層部に用いる膜42はサイドエッチングを促進する役割を果たすため全体的にはテーパ形状となるものの、図7(b)の10に示すように局所的に逆テーパ形状になるという問題があった。

【0018】また、上記特開平4-155315号公報に記載の従来技術である電極や配線に用いる金属膜(例えばAlやCr膜)を異種金属を用いた多層構造とし、各々の膜のエッチング後に上層膜の再エッチング(後退エッチング)をおこなう方法に関しては、再エッチングしなければならない分だけ、ウエットエッチング工程の回数が増加してしまうという問題があった。また、単層膜で電極や配線を構成した場合はレジストと接する金属膜の最上層でエッチング形状が急峻となるという問題があった。

【0019】ドライエッチングで生じる図7(b)のようなエッチング形状やウエットエッチング時に生ずる急峻な形状であると様々な問題が生じてくる。以下、それを図8を用いて説明する。

【0020】図8は、従来技術に係るTFTの断面図である。すなわち、ゲート電極膜および該バスライン膜の場合では、ゲート絶縁膜を介した該ゲートとドレイン電極および該バスライン間で短絡不良が発生する。また、ゲート絶縁膜の場合では、図8に示すように(図8において、2'は、ゲート電極と同時に形成したドレイン配線端子部、3は、ゲート絶縁膜、6'は、ドレイン配線をそれぞれ示す)ドレイン配線端子部2'において、断線不良が発生する。

【0021】さらに、半導体膜の場合では、ソース・ドレイン電極において断線不良が発生する。また、ソース電極、ドレイン電極および該配線の場合では、保護膜のカバレッジが不十分となり電触が発生しやすくなる。それに重ねて、保護膜の場合では、液晶の配向膜のカバレッジ不良やラビング工程でのむら等を生じてしまい、液晶の配向不良が発生し、液晶表示装置としての表示品質の低下を招くという問題があった。

【0022】本発明は、上記従来技術の問題点を解決するためになされたもので、その目的は、TFTを構成する全ての膜にテーパエッチングを施して、テーパエッチングの利点を最大限に引きだすこと、またTFTを構成する多層膜に、テーパエッチングを施すにあたり、各々の膜の側壁を所望のテーパ角を有する理想的なテーパ形状に加工し、それにより各膜のカバレッジ性を向上させ、ラビング工程でのむらを防止し、各膜で生ずる断線や短絡不良をなくすことにある。

【0023】さらに、上記TFTによりTFTマトリクス回路基板を構成し、それを用いて表示品質の高い画像表示装置を提供することにある。

【0024】

【課題を解決するための手段】上記目的を達成するためには、本発明の薄膜トランジスタに係る発明の構成は、ゲート電極膜、ゲート絶縁膜、半導体膜、ソース・ドレイン電極膜、表示画素電極膜、チャネルストップ膜の各薄膜および薄膜トランジスタを被覆する保護膜によって構成される薄膜トランジスタにおいて、それら構成する全ての膜の側壁をテーパ状に加工し、積層したものである。

【0025】次に、本発明のテーパエッチング方法に係る発明の第一の構成は、ゲート電極膜、ゲート絶縁膜、半導体膜、ソース・ドレイン電極膜、表示画素電極膜、チャネルストップ膜の各薄膜および薄膜トランジスタを被覆する保護膜によって構成される薄膜トランジスタにおいて、それら構成する全ての膜の側壁をテーパ状に加工したものである。

【0026】さらに、本発明のテーパエッチング方法に係る発明の第二の構成は、薄膜トランジスタを構成する一つの膜が、エッチング速度の異なる少なくとも2層以上の多層膜であって、下層部ほどエッチング速度が小なる膜で上層部ほどエッチング速度が大なる膜であるときに、それをドライエッチングでエッチングするテーパエッチング方法において、最下層部に用いるエッチング速度が小なる膜を前記多層膜の膜厚全体に対して5～20%の割合としたものである。

【0027】また、本発明のテーパエッチング方法に係る発明の第三の構成は、薄膜トランジスタを構成する一つの膜が、エッチング速度の異なる少なくとも2層以上の多層膜であって、下層部ほどエッチング速度が小なる膜で上層部ほどエッチング速度が大なる膜であるときに、それをウエットエッチングでエッチングするテーパエッチング方法において、最下層部に用いるエッチング速度が小なる膜を前記多層膜の膜厚全体に対して50～90%の割合としたものである。

【0028】さらに、本発明の薄膜トランジスタに係る発明の他の構成は、上記第二と第三の構成に係るテーパエッチング方法によって、前記多層膜が10～70度の範囲のテーパ角をなす側壁を傾斜状に加工したものであ

る。

【0029】次に、本発明の多層膜形成方法に係る発明の第一の構成は、薄膜トランジスタを構成するゲート電極膜、ゲート絶縁膜、半導体膜、ソース・ドレイン電極膜、表示画素電極膜、チャネルストップ膜の各薄膜および薄膜トランジスタを被覆する保護膜を多層膜として、その多層膜はエッチング速度の異なる少なくとも2層以上とし、下層部ほどエッチング速度が小なる膜で上層部ほどエッチング速度が大なる膜に形成する多層膜形成方法において、同一の成膜室で成膜条件を変化させて、積層し形成したものである。

【0030】また、本発明の多層膜形成方法に係る発明の第二の構成は、薄膜トランジスタを構成するゲート電極膜、ゲート絶縁膜、半導体膜、ソース・ドレイン電極膜、表示画素電極膜、チャネルストップ膜の各薄膜および薄膜トランジスタを被覆する保護膜を多層膜として、その多層膜はエッチング速度の異なる少なくとも2層以上とし、下層部ほどエッチング速度が小なる膜で上層部ほどエッチング速度が大なる膜に形成する多層膜形成方法において、少なくとも2つ以上の成膜室を有する装置を用いて成膜条件を変化させて、積層し形成したものである。

【0031】さらにまた、本発明の多層膜形成方法に係る発明の第三の構成は、上記第一と第二の構成の多層膜形成方法において、上記第二と第三の構成のテーパエッチング方法を含むようにしたものである。

【0032】次に、本発明の画像表示装置に係る発明の構成は、上記第二と第三の構成のテーパエッチング方法により形成された薄膜または保護膜によって構成された薄膜トランジスタを同一絶縁性基板上に複数個マトリクス状に配置し、各々の前記薄膜トランジスタのゲート電極同士を接続してゲート配線とし、ドレイン電極同士を接続してドレイン配線とし、各ソース電極を各表示画素電極に接続して、薄膜トランジスタマトリクス回路基板を構成し、その薄膜トランジスタマトリクス回路基板に設けられた表示画素電極に対向するように対向電極を設け、しかも前記表示画素電極と前記対向電極との間隙に液晶を充填、密閉して表示セルを構成したものである。

【0033】

【作用】以下、本発明特有の作用を、多層膜の膜厚とエッチング速度の関係から、図3を用いて説明する。図3は、本発明に係る多層膜の膜厚とエッチング時のテーパ形状の関係を比較して示した多層膜の断面図である。

【0034】図3(a)に示すような構成の膜をドライエッチング法を用いて加工をおこなった場合、エッチング速度が大なる上層部に用いる膜42のエッチングが終了し、エッチング速度が小なる下層部に用いる膜41のエッチング時には、エッチング速度が大なる上層部に用いる膜42は、エッチング速度が小なる下層部に用いる膜41のエッチング時間の間オーバエッチングの状態と

なり、上層部に用いる膜42は、下層部に用いる膜41のエッティング中に全体的に後退エッティングが進行する。このため、この上層部に用いる膜42は、図3(b)の様な側壁がテーパ状のエッティング形状となる。

【0035】ここで、全体の膜厚Dに対するエッティング速度が小なる下層部に用いる膜41膜の膜厚(d1)の範囲が重要である。すなわち、ドライエッティングをおこなう場合、d1の範囲は、全体の膜厚Dに対して、5~20%が良く、この範囲の膜厚で、10~70度のテーパ角が得られる。

【0036】しかし、d1の割合が全体の膜厚Dに対して、20%より大きい範囲であると、下層部に用いる膜41のエッティングに要する時間が長くなり上層部に用いる膜42の後退エッティング量が大きくなりすぎ、エッティング形状が図7(b)のように、上層部は逆テーパ形状になりやすくなる。

【0037】反面、d1の割合が全体の膜厚Dに対して、5%より小さい範囲であると下層部に用いる膜41のエッティングに要する時間が短くなりすぎ、上層部に用いる膜42の後退エッティング量が大きくならず、十分なテーパ角が得られない。

【0038】このように、本発明は、TFTを構成する多層膜の各膜の膜厚を調整して、エッティングをおこない、側壁が所望の角度のテーパ角のテーパ形状を得ようとするものである。

【0039】同様に、ウェットエッティング法を用いて加工を行う場合、エッティング速度が小なる下層部に用いられる膜41の膜厚d1の全体の膜厚Dに体する範囲は50~90%が良い。

【0040】なお、テーパ角は上層部と下層部の膜厚比率、エッティング速度比、およびエッティング条件を変化させることで制御することができる。さらに、TFTを構成する全ての膜をテーパ形状にすれば、テーパエッティング方法の利点を最大限に引きだすことができ、各膜のカバレッジ性が向上することになる。

【0041】

【実施例】以下、本発明の一実施例を、図1ないし図5を用いて説明する。

【本発明に係るTFTとそれを用いた液晶表示装置の構造】先ず、図1および図2を用いて本発明に係るTFTとそれを用いた液晶表示装置の構造について説明する。

【0042】図1は、構成する各々の膜をテーパ状に加工した本発明に係るTFTの断面図である。図2は、本発明に係るTFTをマトリクス回路基板とし、そのマトリクス回路基板を用いた液晶表示装置の断面図である。

【0043】図1によれば、各層を構成する膜の端面のすべてが各々テーパ状に加工されているのが了解されるであろう。ここで、このTFTは、図1に示される構造を備え、絶縁性基板1は、ガラス等で、ゲート電極2は、Cr膜で、ゲート絶縁膜3は、SiN膜で、半導体

膜4は、a-Si膜で、半導体膜5は、リンを添加したa-Si膜で、ドレイン電極6は、Al膜で、ソース電極7は、Al膜で、ITO膜8は、表示画素電極で、保護膜9は、SiN膜で、それぞれ構成されている。

【0044】上記のTFTにより、マトリクス回路基板を構成して、それによって液晶表示装置を製造することができる。

【0045】図2は、それを示したものであり、上から順に、偏光板20、ガラス基板1、カラーフィルタ2

10 1、保護膜22、対向電極23、配向膜24、液晶25であり、その下に上述の構造からなるTFTによるTFTマトリクス回路基板30があり、その下にまた、偏光板20を配して構成していることを示している。

【0046】【本発明に係るTFTとそれを用いたTFTマトリクス回路基板の製造方法】次に、図3ないし図5を用いて本発明に係るTFTとそれを用いたTFTマトリクス回路基板の製造方法について説明する。

【0047】図3は、既に述べたように、本発明に係る多層膜の膜厚とエッティング時のテーパ形状の関係を比較して示した多層膜の断面図である。図4は、本発明に係る多層膜を形成するためのインライン方式の成膜装置の構成を模式的に示した図である。図5は、本発明に係る多層膜を形成するためのセンターロボット方式の成膜装置の構成を模式的に示した図である。

【0048】ここで、図4は、インライン方式と言われる成膜装置の構成であって、基板100を、ロード室101より搬入し、102はスパッタ装置およびCVD装置等である第1の成膜室102、スパッタ装置およびCVD装置等である第2の成膜室103で、成膜をおこない、アンロード室104より搬出することを示している。

【0049】以下、ウェットエッティング法またはドライエッティング法を用いて構成膜の断面をテーパ状にした本発明に係るTFTを製造する手順およびそれらを平面上に多数個配列した大画面の表示装置に用いるTFTマトリクス回路基板を製造する手順について説明しよう。

【0050】(1) 図4に示すような少なくとも2つ以上の成膜室を有するスパッタ装置を使用し、第1の成膜室102では第1の成膜条件で、第2の成膜室103では第2の成膜条件で、ガラス基板1上に、スパッタリング法によりエッティング速度の異なる積層膜(下層部にはエッティング速度が小なる膜を、上層部にはエッティング速度が大なる膜を積層)としてCr膜を成膜し、通常のホトリソグラフィ工程と硝酸第2セリウムアンモニウムの水溶液によるウェットエッティングによりゲート電極2とゲート配線(図示しない)をテーパ状に形成する。

【0051】(2) プラズマCVD法によりゲート絶縁層SiN膜の積層膜3(下層部にはエッティング速度が小なる膜を、上層部にはエッティング速度が大なる膜を積層)、半導体層a-Si膜の積層膜4(下層部にはエッチ

ング速度が小なる膜を、上層部にはエッティング速度が大なる膜を積層)、オーミックコンタクト層n形a-Si膜5を連続成膜し、通常のホトリソグラフィ工程とSF₆とBCl₃の混合ガスを用いたドライエッティングにより、a-Si膜4(n形a-Si膜5を含む)をアイランド形状にテーパ状に形成する。

【0052】(3) 外部のドライバと接続するためのゲート配線端子部(図示しない)上のSiN膜3を通常のホトリソグラフィ工程とSF₆ガスを用いたドライエッティングにより除去する(テーパエッティング)。

【0053】(4) 図4に示すような少なくとも2つ以上の成膜室を有するスパッタ装置を使用したスパッタリング法により、エッティング速度の異なる積層膜(下層部にはエッティング速度が小なる膜を、上層部にはエッティング速度が大なる膜を積層)としてITO膜を成膜し、通常のホトリソグラフィ工程と塩酸・硝酸・水の混合液によるウエットエッティングにより表示画素電極8をテーパ状に形成する。

【0054】(5) 図4に示すような少なくとも2つ以上の成膜室を有するスパッタ装置を使用したスパッタリング法によりエッティング速度の異なる積層膜(下層部にはエッティング速度が小なる膜を、上層部にはエッティング速度が大なる膜を積層)としてA1膜を成膜し、通常のホトリソグラフィ工程とリン酸・酢酸・硝酸・水の混合液によるウエットエッティングによりソース電極6、ドレイン電極7、ドレイン配線(図示しない)をテーパ状に形成する。

【0055】(6) ソース電極7、ドレイン電極6をマスクにTFTチャネル上のn形a-Si膜5をSF₆とBCl₃の混合ガスを用いたドライエッティングにより除去する。

【0056】(7) 保護膜9として図4に示すような少なくとも2つ以上の成膜室を有するCVD装置を使用したプラズマCVD法によりエッティング速度の異なる積層膜(下層部にはエッティング速度が小なる膜を、上層部にはエッティング速度が大なる膜を積層)としてSiN膜を成膜する。

【0057】そして、表示画素電極8およびゲート・ドレイン配線端子部(図示しない)上のSiN膜9を通常のホトリソグラフィ工程とSF₆ガスを用いたドライエッティングにより除去する(テーパエッティング)。

【0058】さて、次に、図3を用いて本発明に係る多層膜の膜厚とエッティング方法の関係について説明する。本発明では、図3(a)に示すようにドライエッティング法またはウエットエッティング法で加工をおこなうTFTを構成する各々の膜を同種の少なくとも2層以上の多層膜構造とし、下層部に用いる膜41(エッティング速度が小なる膜)の膜厚(d1)と下層部に比較してエッティング速度の大きい上層部に用いる膜42(エッティング速度が大なる膜)の膜厚(d2)との関係を、ドライエッティング法にて

加工する場合はd1の膜厚を全膜厚D(=d1+d2)に対して、5~20%の範囲とするものである。

【0059】また、ウエットエッティング法にて加工する場合は50~90%の範囲とするものである。

【0060】その後、レジスト等でパターンを形成後、ドライエッティング法またはウエットエッティング法により、図3(b)のようにテーパ状に加工をおこなう。

【0061】上述の工程について言えば、(1)、(2)、(4)、(5)、(7)の工程における多層膜の構成は、

10 (1)、(4)、(5)ではウエットエッティング法による形成をおこなうため、上記のように各膜の50~90%の割合だけ下層部にエッティング速度が小なる膜を形成し、上層部には下層部の膜に比較してエッティング速度が大なる膜を形成した。

【0062】また、(2)、(7)ではドライエッティング法による形成をおこなうため、上記のように各膜の5~20%の割合だけ下層部にエッティング速度が小なる膜を形成し、上層部には下層部の膜に比較してエッティング速度が大なる膜を形成した。

20 20 【0063】このようにして、TFTマトリクス回路基板を作製すれば、TFTのゲート電極2(ゲートバスライン)、ゲート絶縁膜3、半導体膜4、ソース電極7・ドレイン電極6(ドレインバスライン)、表示画素電極8、保護膜9を10~70度の範囲のテーパ状に再現性良くエッティング加工することができる。

【0064】よって、配線に関しては膜厚を増加させることなくステップカバレッジ性を向上させることができ断線不良等の低減が図ることができる。液晶の配向膜24に関しても同様にカバレッジが良好となり、ラビング工程でのむらを防止できるので図2に示すようなTFTマトリクス回路基板を用いた液晶表示装置を製作した場合に表示品質の低下を招くことがない。

【0065】なお、テーパ角は上層部と下層部の膜厚比率、エッティング速度比、およびエッティング条件を変化させることで制御することができる。

【0066】エッティング方法について言えば、(1)~(7)の工程では主に電極膜はウエットエッティング、CVD法で形成した膜はドライエッティングで加工を行ったが、各膜のエッティングはウエット法、ドライ法のどちらを用いても構わない。

【0067】また、本実施例では2層の積層膜としたが3層以上の積層構造であっても構わない。図4では、成膜装置には、第1の成膜室と第2の成膜室のみを示したが、そういう場合は、第3以降の成膜室も存在しうる。

【0068】さらに、成膜の環境について言えば、上記実施例では、図4のように多くの成膜室を有する装置を使用し、各成膜条件に対応した成膜室を用いていたが、成膜室を1つしか有しない装置で同一成膜室内で成膜条件を変化させて2層以上積層しても構わない。また、多くの成膜室を有する装置でも同一成膜室内で成膜条件を

変化させて2層以上積層してもなんら構わない。

【0069】また、成膜装置の構成について言えば、上記実施例では、図4のインライン方式の成膜装置を例に取り説明したが、図5に示すような搬送室105を有するセンターロボット方式の成膜装置であってもよい。この場合は、ロード室101、スパッタ装置およびCVD装置等である第1の成膜室102、スパッタ装置およびCVD装置等である第2の成膜室103、アンロード室104への基板100の出入れを中央の搬送室105を有するセンターロボット106がおこなうことになる。ここで、成膜室の数は、図5では、2室であるが1室および3室以上であっても、素より差し支えない。

【0070】

【発明の効果】本発明によれば、TFTを構成する全ての膜にテーパエッチングを施して、テーパエッチングの利点を最大限に引きだすことができる。また、TFTを構成する多層膜に、テーパエッチングを施すにあたり、各々の膜の側壁を所望のテーパ角を有する理想的なテーパ形状に加工し、それにより各膜のカバレッジ性を向上させ、ラビング工程でのむらを防止し、各膜で生ずる断線や短絡不良をなくすことができる。

【0071】さらに、上記TFTによりTFTマトリクス回路基板を構成し、それを用いて表示品質の高い画像表示装置を提供することができる。

【図面の簡単な説明】

【図1】構成する各々の膜をテーパ状に加工した本発明に係るTFTの断面図である。

【図2】本発明に係るTFTをマトリクス回路基板とし、そのマトリクス回路基板を用いた液晶表示装置の断面図である。

【図3】本発明に係る多層膜の膜厚とエッチング時のテーパ形状の関係を比較して示した多層膜の断面図である。

【図4】本発明に係る多層膜を形成するためのインライ

ン方式の成膜装置の構成を模式的に示した図である。

【図5】本発明に係る多層膜を形成するためのセンターロボット方式の成膜装置の構成を模式的に示した図である。

【図6】逆スタガ型TFTの一般的な断面構造図である。

【図7】多層膜の膜厚とエッチング時のテーパ形状の関係を比較して示した多層膜の断面図である。

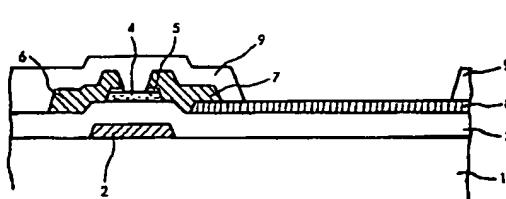
【図8】従来技術に係るTFTの断面図である。

【図9】従来技術に係る多層構造によるTFTの断面図である。

【符号の説明】

1…ガラス基板	2…ゲート電極
2'…ゲート電極と同時に形成するドレイン配線の端子	
3…ゲート絶縁層	4…半導体層a-Si膜
5…オミックコンタクト層n形a-Si膜	
6…ドレイン電極	6'…ドレイン配線
7…ソース電極	8…表示画素電極
保護膜(SiN膜)	9…
10…逆テーパ部	
20…偏光板	21…カラーフィルタ
22…保護膜	24…配向膜
23…対向電極	
25…液晶	
30…TFTマトリクス基板	
41…上層部に用いる膜	42…下層部に用いる膜
50…金属膜A	51…Aと選択エッチング
性のある金属膜B	
52…レジスト	
30…基板	101…ロード室
02…第1の成膜室	1
103…第2の成膜室	104…アンロード室
05…搬送室	1
106…センターロボット	

【図1】



【図2】

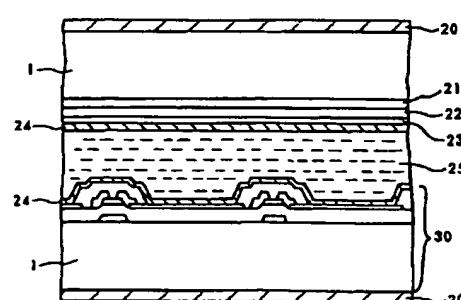
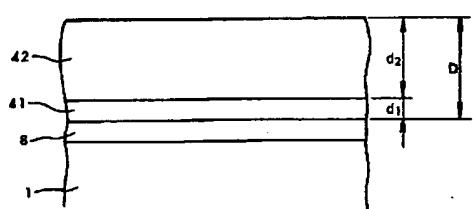


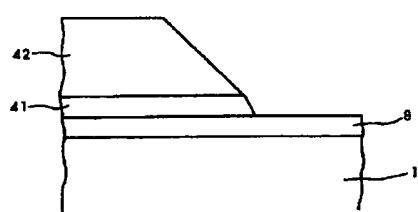
図1

図2

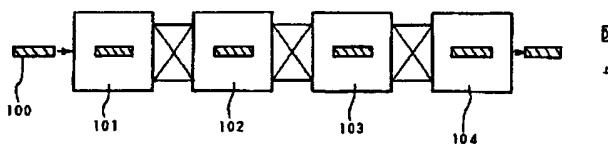
【図 3】

図 3
(a)

(b)

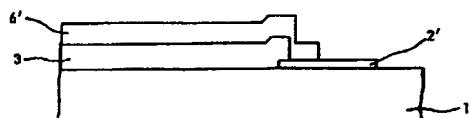


【図 4】



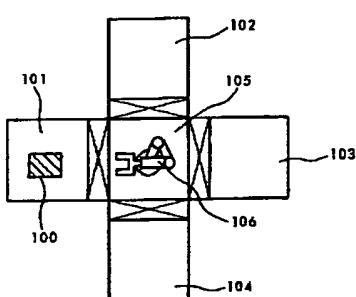
【図 8】

図 8



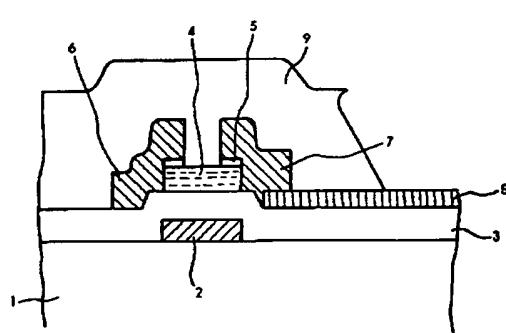
【図 5】

図 5

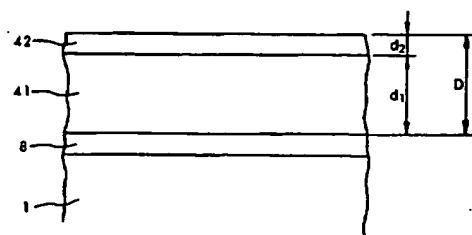


【図 6】

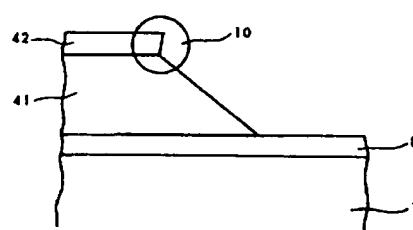
図 6



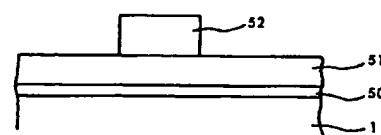
【図 7】

図 7
(a)

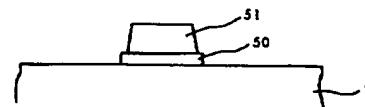
(b)



【図 9】

図 9
(a)

(b)



フロントページの続き

(72)発明者 齋藤 裕

神奈川県横浜市戸塚区吉田町292番地 株
式会社日立製作所生産技術研究所内

THIS PAGE BLANK (USPTO)